

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-190566

(43)Date of publication of application : 30.07.1993

(51)Int.Cl.

H01L 21/336

H01L 29/784

H01L 29/78

(21)Application number : 04-002333

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.01.1992

(72)Inventor : ONO TAMASHIRO

IWAI HIROSHI

MOMOSE HISAYO

MORIMOTO TOYOTA

TSUCHIAKI MASAKATSU

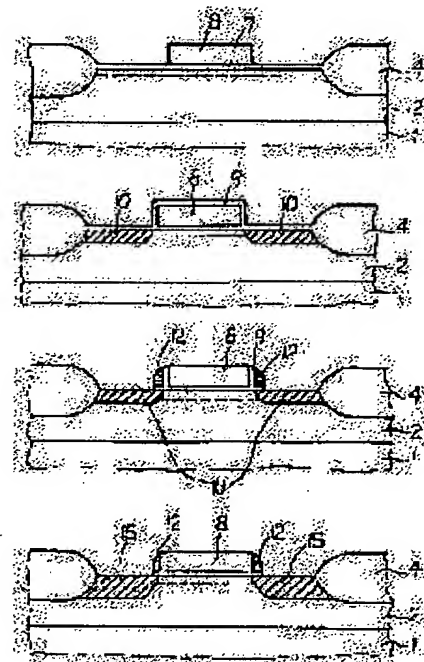
BEST AVAILABLE COPY

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To prevent both a source and a drain region from increasing in resistance by a method wherein impurity ions are implanted into both a source forming region and a drain forming region before and after the sidewall of a gate electrode is formed so as to form an impurity ion-diffused layer which is deep extending under the sidewall of a gate.

CONSTITUTION: A gate oxide film 7 and a gate electrode 8 are formed on the surface of a semiconductor substrate 1. Then, impurity ions are implanted into a source forming region and a drain forming region 10 after the gate electrode 8 is formed. In succession, an insulating film 9 is formed on the gate electrode and the semiconductor substrate 1, and a sidewall 12 formed of the insulating film 9 is formed only on the side of the gate electrode 8 by anisotropically etching the insulating film 9. Thereafter, impurity ions are implanted again into the source forming region and the drain forming region 10 so as to make the regions 10 as high in concentration as prescribed, and a source impurity diffusion layer 15 and a drain impurity diffusion layer 15 both deep are formed by a thermal treatment. By this setup, both a source and a drain region can be prevented from increasing in resistance as much as possible.



## LEGAL STATUS

[Date of request for examination] 15.12.1998

[Date of sending the examiner's decision of rejection] 12.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-190566

(43)公開日 平成5年(1993)7月30日

(51)IntCl <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784 29/78		G 7377-4M 7377-4M	H 0 1 L 29/ 78 3 0 1 P 3 0 1 S	
審査請求 未請求 請求項の数2(全 10 頁)				

(21)出願番号 特願平4-2333

(22)出願日 平成4年(1992)1月9日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 小 野 瑞 城

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 岩 井 洋

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(72)発明者 百 瀬 寿 代

神奈川県川崎市幸区小向東芝町1 株式会  
社東芝総合研究所内

(74)代理人 弁理士 佐藤 一雄 (外3名)

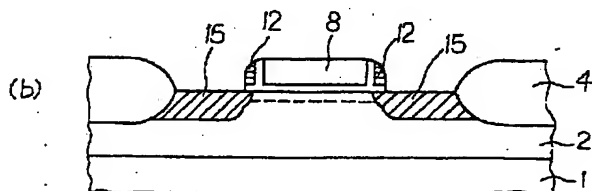
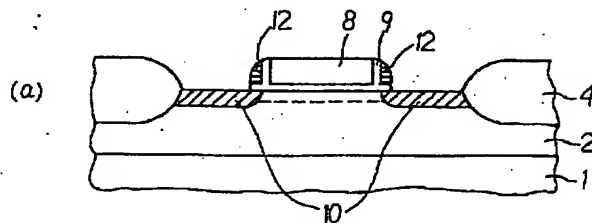
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 ソース、ドレイン領域が高抵抗となるのを抑制する。

【構成】 半導体基板1の表面にゲート酸化膜7及びゲート電極8を形成する第1のステップと、ゲート電極を形成した後ソース、ドレイン形成用領域に不純物を注入する第2のステップと、ゲート電極及び半導体基板表面に絶縁膜を形成した後、異方性エッチングによって絶縁膜をエッチングして前記ゲート電極の側部のみに絶縁膜からなる側壁12を残存させる第3のステップと、ソース、ドレイン形成用領域に所定の濃度となるように再度不純物を注入する第4のステップと、を備えていることを特徴とする。



## 【特許請求の範囲】

【請求項1】半導体基板の表面にゲート酸化膜およびゲート電極を形成する第1のステップと、

前記ゲート電極を形成した後ソースドレイン形成用領域に不純物を注入する第2のステップと、

前記ゲート電極および前記半導体基板表面に絶縁膜を形成した後、異方性エッチングによって前記絶縁膜をエッチングして前記ゲート電極の側面のみに前記絶縁膜からなる側壁を残存させる第3のステップと、

前記ソース、ドレイン形成用領域に所定の濃度となるように再度不純物を注入する第4のステップと、  
を備えていることを特徴とする半導体装置の製造方法。

【請求項2】シリコンからなる半導体基板の表面にゲート酸化膜およびゲート電極を形成する第1のステップと、

前記ゲート電極を形成した後ソースドレイン形成用領域に不純物を注入する第2のステップと、

前記ゲート電極および前記半導体基板表面に絶縁膜を形成した後、異方性エッチングによって前記絶縁膜をエッチングして前記ゲート電極の側面のみに前記絶縁膜からなる側壁を残存させる第3のステップと、

前記半導体基板上のソース、ドレイン形成用領域表面及びゲート電極表面を酸化して酸化膜を形成した後、この酸化膜を剥離する第4のステップと、  
を備えていることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、MOSトランジスタを有する半導体装置の製造方法に関する。

## 【0002】

【従来の技術】MOSトランジスタを有する半導体装置の従来の製造方法を図13乃至図15を参照して説明する。まず、例えばP型のシリコン基板1のPウェル形成用領域に例えばBイオンをドーズ量100keV、 $2.0 \times 10^{13} \text{ cm}^{-2}$ で注入した後にNウェル形成用領域に例えばPイオンをドーズ量160keV、 $6.4 \times 10^{12} \text{ cm}^{-2}$ で注入し、1190℃、150分の熱工程を施すことによってPウェル領域2及びNウェル領域3を形成する(図13(a)参照)。その後LOCOS法により素子分離領域4を形成する(図13(a)参照)。

【0003】次に、まずPウェル領域2中に所望のしきい値電圧を得る為に例えばBイオンを15keV、 $1.0 \times 10^{13} \text{ cm}^{-2}$ で注入することによってチャネル表面の濃度を調節し、次いでNウェル領域3中に所望のしきい値電圧を得る為に例えばPイオンをドーズ量120keV、 $1.0 \times 10^{13} \text{ cm}^{-2}$ で注入し、続いてAsイオンをドーズ量40keV、 $2.5 \times 10^{12} \text{ cm}^{-2}$ で注入することによりチャネル表面の濃度を調節する(図13(b)参照)。

【0004】以下、説明を簡単にする為NチャネルMO

ストランジスタの製造についてのみ図示する。図14

(a)に示すように先ず例えば800℃の10%HCl雰囲気中で半導体基板1の表面を酸化することにより、例えば厚さ7nmのSiO<sub>2</sub>からなるゲート絶縁膜7を形成し、更にこの絶縁膜7上にLPCVD法により厚さ200nmのポリシリコン膜8を堆積し、NチャネルMOSトランジスタ領域上のポリシリコン膜8に例えばAsイオンをドーズ量40keV、 $3.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、PチャネルMOSトランジスタ領域上のポリシリコン膜に例えばBF<sub>2</sub>イオンをドーズ量35keV、 $1.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、例えばRIE法を用いてパターニングを行い、ゲート電極8を形成する。なお、Nチャネル、PチャネルMOSトランジスタ領域上への各々の不純物の注入は、PEP(光蝕刻法)を利用して行っている。

【0005】次に、半導体基板1の表面を例えば850℃のO<sub>2</sub>ガスで酸化することにより厚さが10~50nm程度のSiO<sub>2</sub>膜9を形成する(図14(b)参照)。続いてNチャネルMOSトランジスタのソース、ドレイン形成用領域に例えばAsイオンをドーズ量50keV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、熱工程を施してソース、ドレイン領域10'を形成する(図14(b)参照)。なお、PチャネルMOSトランジスタのソース、ドレイン形成用領域には、例えばBF<sub>2</sub>イオンをドーズ量35keV、 $3.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、同様に熱工程を施してソース、ドレイン領域を形成する。

【0006】次に、CVD法を用いて半導体基板1の表面に例えばSi<sub>3</sub>N<sub>4</sub>からなる厚さ100nmの絶縁膜を形成し、ゲート電極8の側面にのみ絶縁膜12が残るようにRIE法を用いて絶縁膜12をエッチングし、その後半導体基板1の表面及びゲート電極8上のSiO<sub>2</sub>からなる酸化膜9をHF処理を施すことによって除去する(図14(c)参照)。

【0007】次に半導体基板1の表面に例えばNiからなる厚さ20nmの金属膜16をスパッタリング法を用いて堆積させる(図15(a)参照)。その後、例えば600℃の窒素雰囲気中に30秒アニールすることにより、ソース、ドレイン領域10'及びゲート電極の表面にシリサイド膜17を形成する(図15(b)参照)。そして、SC-2溶液(HCl:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:1:6の溶液)に半導体基板1を浸漬することにより、酸化膜4及び窒化膜12上に、未反応に残っているNi膜16を除去する(図15(c)参照)。

【0008】その後、SiO<sub>2</sub>からなる層間絶縁膜(図示せず)をCVD法を用いて例えば500nm堆積させた後、コンタクト孔を開孔し、例えばSiを1%含有するAl膜をスパッタ法を用いて堆積させ、パターニングすることにより配線部を形成する。そして例えば450℃のフォーミングガス雰囲気中でのシンターを経て、表面部にSiO<sub>2</sub>からなる厚さ1000nmのパシベシ

ヨン膜を形成する。

【0009】

【発明が解決しようとする課題】 上述の従来の製造方法によってMOSトランジスタを製造した場合は、側壁12を形成する際に、 $\text{Si}_3\text{N}_4$  からなる側壁12と、 $\text{SiO}_2$  からなる酸化膜9及びSi基板1とのプラズマエッチングの選択比が十分でない場合は、Si基板1の表面が過渡に削られると、既に不純物が注入されているソース及びドレイン領域10' が削られて、接合が浅くなり、これにより、ソース及びドレイン領域10' の抵抗が増大するという問題があった。

【0010】 又、同様に側壁12を形成する際に選択比が十分でない場合は、基板1の表面がプラズマエッチングによって削られて、平坦性の悪い表面が形成され、その後のサリサイド (self aligned silicide) 化工程によって基板1の表面とシリサイド界面の凹凸が増大し、接合耐圧が低下して接合リーク電流が増大するという問題があった。

【0011】 本発明は上記事情を考慮してなされたものであって、その目的はシリコン基板表面が削られてもソース及びドレイン領域の抵抗が増大するのを可及的に防止することのできる半導体装置の製造方法を提供することにある。

【0012】 又、本発明の他の目的は、シリコン基板表面が削られても、接合耐圧の低下及び接合リーク電流の増大を可及的に防止することのできる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】 このように構成された第1の発明による半導体装置の製造方法は、半導体基板の表面にゲート酸化膜及びゲート電極を形成する第1のステップと、前記ゲート電極を形成した後ソース、ドレイン形成用領域に不純物を注入する第2のステップと、前記ゲート電極及び前記半導体基板表面に絶縁膜を形成した後、異方性エッチングによって前記絶縁膜をエッチングして前記ゲート電極の側面のみに前記絶縁膜からなる側壁を残存させる第3のステップと、前記ソース、ドレイン形成用領域に所定の濃度となるように再度不純物を注入する第4のステップとを備えていることを特徴とする。

【0014】 又、上述のように構成された第2の発明による半導体装置の製造方法は、半導体基板の表面にゲート酸化膜及びゲート電極を形成する第1のステップと、前記ゲート電極を形成した後ソース、ドレイン形成用領域に不純物を注入する第2のステップと、前記ゲート電極及び前記半導体基板表面に絶縁膜を形成した後、異方性エッチングによって前記絶縁膜をエッチングして前記ゲート電極の側部のみに前記絶縁膜からなる側壁を残存させる第3のステップと、前記半導体基板上のソース、ドレイン形成用領域表面及びゲート電極表面を酸化して

酸化膜を形成した後、この酸化膜を剥離する第4のステップと、を備えていることを特徴とする。

【0015】

【作用】 上述のように構成された第1の発明の半導体装置の製造方法によれば、ゲート電極の側壁の形成前と形成後に、ソース、ドレイン形成用領域に不純物イオンの注入が行われる。これにより深くかつゲートの側壁の下まで延びている不純物イオンの拡散層が得られ、ソース、ドレイン領域の抵抗が増大するのを防止できる。

【0016】 又、上述のように構成された第2の発明の半導体装置の製造方法によれば、ゲート電極の側壁形成後に半導体基板のソース、ドレイン形成領域表面及びゲート電極表面が酸化されて酸化膜が形成され、この酸化膜が剥離される。これにより、凹凸の少ないシリコン表面が形成可能となり、この後に形成される高融点金属シリサイドとの界面は平坦性の高いものとなって、接合耐圧の低下及び接合リーク電流の増大を可及的に防止することができる。

【0017】

【実施例】 第1の発明の製造方法の第1の実施例によって製造されるNチャネルMOSトランジスタの製造工程を図1乃至図3に示す。この実施例の製造方法は先ず、シリコン基板1中に例えばBイオンをドーズ量 $100\text{keV}$ 、 $2.0 \times 10^{13}\text{cm}^{-2}$ で注入した後、例えば $1190^\circ\text{C}$ 、150分の熱工程を施すことによりPウェル領域2を形成する。なお、PチャネルMOSトランジスタを製造する場合は、Pイオンをドーズ量 $160\text{keV}$ 、 $6.4 \times 10^{12}\text{cm}^{-2}$ でシリコン基板1に注入した後、上述と同様の熱工程を施すことによりNウェル領域を形成する。

【0018】 続いて、例えばLOCOS法を用いて素子分離領域4を形成し、Pウェル領域2中に所望のしきい値電圧を得るために、例えばBイオンをドーズ量 $15\text{keV}$ 、 $1.0 \times 10^{13}\text{cm}^{-2}$ で注入する (図1(a)参照)。なお、PチャネルMOSトランジスタを製造する場合はNウェル領域に例えばPイオンをドーズ量 $120\text{keV}$ 、 $1.0 \times 10^{13}\text{cm}^{-2}$ で注入し、続いてAsイオンをドーズ量 $40\text{keV}$ 、 $2.5 \times 10^{12}\text{cm}^{-2}$ で注入する。

【0019】 次に、例えば $800^\circ\text{C}$ の10% HCl雰囲気中で半導体基板1の表面を酸化することにより、 $\text{SiO}_2$  からなる例えば厚さが7nmのゲート絶縁膜7を形成し、このゲート絶縁膜7上にLPCVD法により厚さ200nmのポリシリコン膜8を堆積させ、このポリシリコン膜にAsイオンをドーズ量 $40\text{keV}$ 、 $3.0 \times 10^{15}\text{cm}^{-2}$ で注入し、その後例えばRIE法を用いてポリシリコン膜8及びゲート絶縁膜7に異方性エッチングを施しゲート電極8を形成する (図1(b)参照)。なお、PチャネルMOSトランジスタを形成する場合は、Asイオンの代わりに $\text{BF}_2$  イオンをドーズ量 $35\text{keV}$

V、 $1.0 \times 10^{15} \text{ cm}^{-2}$  で注入する。

【0020】次に半導体基板1の表面を例えば850℃の $\text{O}_2$  ガスで酸化することにより厚さが10～50nm程度の $\text{SiO}_2$  からなる酸化膜9を形成し、ソース及びドレイン形成用領域10にAsイオンをドーズ量50keV、 $5.0 \times 10^{15} \text{ cm}^{-2}$  で注入する(図1(c)参照)。なお、PチャネルMOSトランジスタを形成する場合は、Asイオンの代わりに $\text{BF}_2$  イオンを35keV、 $3.0 \times 10^{15} \text{ cm}^{-2}$  で注入する。

【0021】続いて、半導体基板1の表面に厚さ100nmの $\text{Si}_3\text{N}_4$  からなる絶縁膜をCVD法を用いて堆積させ、この $\text{Si}_3\text{N}_4$  膜に例えばRIE法等の異方性エッチングを施すことによりゲート電極の両側に側壁12を形成する。ここで $\text{Si}_3\text{N}_4$  膜のRIEは $\text{SiO}_2$  膜に対する選択比が小さい場合、シリコン基板表面の酸化膜9もエッチングされる(図2(a)参照)。その後例えばAsイオンをドーズ量50keV、 $5.0 \times 10^{15} \text{ cm}^{-2}$  で注入し、例えば1000℃の窒素雰囲気中で20秒の熱処理を施すことによって深いソース及びドレイン不純物拡散層15を形成する。この時の不純物濃度は $1.0 \times 10^{19} \sim 1.0^{22} \text{ cm}^{-3}$  の範囲にある。なお、PチャネルMOSトランジスタを形成する場合はAsイオンの代わりに $\text{BF}_2$  イオンをドーズ量35keV、 $3.0 \times 10^{15} \text{ cm}^{-2}$  で注入し、同様の熱処理を行う。この後HF処理によりシリコン基板表面、及びゲートポリシリコン膜8上の $\text{SiO}_2$  膜を剥離する(図2(b)参照)。

【0022】次に半導体基板1の表面に例えばNiからなる厚さ20nmの金属膜16をスパッタによって形成し(図3(a)参照)、例えば600℃の窒素雰囲気中で30秒間アニールすることによりソース、ドレイン領域15上及びゲート電極8上の金属膜16をシリサイド化して例えば $\text{NiSi}$  からなるシリサイド膜17を形成する(図3(b)参照)。その後、SC-2溶液に浸漬することにより側壁12及び素子分離酸化膜4上に残っているシリサイド化されていないNi膜16を除去する(図3(c)参照)。以降は、従来の半導体装置の製造方法と同様に配線工程を経て半導体装置を製造する。

【0023】この第1の発明の第1の実施例においては、ゲート電極8の側壁形成の前及び後にソース及びドレイン形成用領域に不純物イオンを注入することにより、深くて、かつ側壁12の下にまで延びている不純物イオンの拡散層を得ることが可能となる。これにより、不純物イオンの拡散層15の浅さに起因する高抵抗、及び不純物イオンの拡散層15がゲート電極下まで延びていないことに起因する高抵抗を生じさせず、ソース及びドレイン領域15の抵抗が増大するのを防止できる。

【0024】次に第1の発明の第2の実施例の製造方法によって製造される半導体装置の製造工程断面図を図4(a)(b)に示す。この実施例の製造方法は、ゲート電極8の側壁12を形成するために半導体基板1の表面

に $\text{Si}_3\text{N}_4$  膜12を堆積させるまでは第1の発明の第1の実施例の製造方法と同様に行う。その後、 $\text{Si}_3\text{N}_4$  膜及び酸化膜9に異方性エッチングを施すことによりゲート電極8の側壁12を形成する。この時、半導体基板1の表面を元の界面より例えば2～50nm程度エッチングする(図4(a)参照)。

【0025】続いてソース、ドレイン形成領域10に第1の実施例と同様にして不純物を注入し、熱工程を施すことによって、深いソース、ドレイン領域15を形成する(図4(b)参照)。以後は第1の実施例の図3

(a)に示す工程以降と同じ製造工程を用いて半導体装置を完成する。この第1の発明の第2の実施例の製造方法も第1の発明の第1の実施例の製造方法と同様の効果を得ることができる。

【0026】次に第2の発明の第1の実施例の製造方法によって製造される半導体装置の製造工程断面図を図5乃至図6に示す。この実施例の製造方法は、ゲート電極8の両側の側面に $\text{Si}_3\text{N}_4$  からなる側壁12を形成するまでは第1の発明の第1の実施例の製造方法と同様にして行う(図5(a)参照)。そのあと、半導体基板1の表面を例えば850℃の $\text{O}_2$  ガスで酸化することにより、ソース、ドレイン領域10'の表面及びゲート電極8の表面に厚さ10～50nm程度の $\text{SiO}_2$  膜14を形成する(図5(b)参照)。

【0027】続いて、例えばHF処理により、半導体基板1及びゲート電極8の表面の酸化膜14を剥離し(図5(c)参照)、その後半導体基板1の表面に例えばNiからなる厚さ20nmの金属膜16をスパッタにより堆積させる(図6(a)参照)。次に例えば600℃の窒素雰囲気中で30秒間アニールすることにより、ソース、ドレイン領域10'の表面及びゲート電極8上のNi膜16をシリサイド化してシリサイド膜17を形成する(図6(b)参照)。その後SC-2溶液に浸漬することにより $\text{Si}_3\text{N}_4$  膜及び素子分離酸化膜4上の、シリサイド化されないNi膜16を除去し(図6(c)参照)、以後は、従来の半導体装置と同様に配線工程等を施すことにより半導体装置を製造する。

【0028】この第2の発明の第1の実施例の製造方法によれば、ゲート電極8の側壁12を形成した後、半導体表面を酸化して酸化膜をソース、ドレイン領域上に形成することにより、側壁形成時のプラズマエッチングによるダメージ層を除去することが可能となるとともに、シリコンとシリサイドとの界面が平坦となるようにすることが可能となり、接合耐圧の低下及び接合リーク電流の増大を可及的に防止することができる。

【0029】次に第2の発明の第2の実施例の製造方法によって製造される半導体装置の製造工程断面図を図7に示す。この実施例の製造方法は、第2の発明の第1の実施例の製造方法において、側壁12を形成するための異方性エッチングを施す時に半導体基板1を元の界面よ

り例えば2~50nm程度深くエッチングする(図7(a)参照)。その後半導体基板表面を例えば850℃のO<sub>2</sub>ガスで酸化することにより、ソース、ドレイン領域10'上及びゲート電極8上に酸化膜14を形成し(図7(b)参照)、その後例えばHF処理により酸化膜14を剥離する(図7(c)参照)。以後は第2の発明の第1の実施例の図6(a)以降に示す工程と同様の工程を行って半導体装置を製造する。この第2の発明の第2の実施例の製造方法も第2の発明の第1の実施例の製造方法と同様の効果を得ることができる。

【0030】次に第2の発明の第3の実施例の製造方法によって製造される半導体装置の製造工程断面図を図8に示す。この実施例の製造方法は、第2の発明の第1の実施例の製造方法において、半導体基板1の表面に例えば850℃のO<sub>2</sub>ガス酸化することによりSiO<sub>2</sub>膜9を形成するまでは第2の発明の第1の実施例と同様に行う。その後ソース、ドレイン形成用領域11にNチャネルトランジスタであれば、例えばAsもしくはPイオンを30~50KeV、 $1 \times 10^{14} \text{ cm}^{-2}$ 導入し、Pチャネルトランジスタであれば、例えばBF<sub>2</sub>もしくはBイオンを35KeV、 $1 \times 10^{14} \text{ cm}^{-2}$ 導入する。(図8参照)。その後は第1の発明の第1の実施例と同様に、図5(a)に示す側壁形成以降の工程を行って半導体装置を形成する。この第3の実施例の製造方法も第2の発明の第1の実施例と同様の効果を得ることができる。

【0031】次に第2の発明の第4の実施例の製造方法によって製造される半導体装置の製造工程断面図を図9に示す。この実施例の製造方法は、半導体基板1の表面に酸化膜9を形成するまでは第2の発明の第1の実施例と同様に行う。その後ソース、ドレイン形成用領域11にPイオンをドーズ量40KeV、 $7.0 \times 10^{13} \text{ cm}^{-2}$ で注入し、続いてAsイオンをドーズ量50KeV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入する(図9参照)。その後は第2の発明の第1の実施例と同様に図5(a)に示す以降の工程を行って半導体装置を形成する。この実施例では上述の不純物導入により熱工程を施すことによって深くてかつゲート電極8下まで拡散されたソース、ドレイン領域11が形成できる。この第4の実施例の製造方法も第3の実施例の製造方法と同様の効果を得ることができる。

【0032】次に第2の発明の第5の実施例の製造方法によって製造される半導体装置の製造工程断面図を図10に示す。この実施例の製造方法は、半導体基板1の表面に酸化膜9を形成するまでは第2の発明の第1の実施例と同様に行う。その後ソース、ドレイン11形成用領域にPイオンを基板1の表面の法線に対してある角度、例えば45度傾斜させてドーズ量40KeV、 $7.0 \times 10^{13} \text{ cm}^{-2}$ で注入し続いてAsイオンをドーズ量50KeV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入する(図10参照)。その後は第2の発明の第1の実施例と同様に図5(a)に示す以降の工程を行って半導体装置を形成する。この実

施例では上述の不純物導入によりその後熱工程を経ることによって深くてかつゲート電極8下まで拡散されたソース、ドレイン領域11が形成できる。この第5の実施例の製造方法も第4の実施例と同様の効果を得ることができる。

【0033】次に第2の発明の第6の実施例の製造方法によって製造される半導体装置の製造工程断面図を図11に示す。この実施例の製造方法は第1の発明の第1の実施例と第2の発明の第1の実施例と合せたものである。ゲート電極8の側壁12を形成するまでは第2の発明の第1の実施例と同様に行う(図11(a)参照)。その後基板1の表面を例えば850℃のO<sub>2</sub>ガスで酸化することにより酸化膜14を形成し、続いてAsイオンをドーズ量50KeV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、例えば1000℃の窒素雰囲気中で約20秒間の熱処理を施すことにより深いソース、ドレイン領域15を形成する(図11(b)参照)。なお、PチャネルMOSトランジスタを製造する場合はAsイオンの代わりに例えばBF<sub>2</sub>イオンをドーズ量35KeV、 $3.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、同様の熱処理を施す。

【0034】次に例えばHF処理により酸化膜14を剥離し、半導体基板1の表面に例えばNiからなる厚さ20nmの金属膜16を堆積させる(図11(c)参照)。これ以後は第1の発明の第1の実施例の図3(b)に示す以降の工程を行って半導体装置を形成する。この第2の発明の第6の実施例の製造方法は、第1の発明の第1の実施例と同様の効果を得ることができるとともに第2の発明の第1の実施例と同様の効果を得ることができる。

【0035】次に第2の発明の第7の実施例の製造方法によって製造される半導体装置の製造工程断面図を図12に示す。この実施例の製造方法は第1の発明の第2の実施例と第2の発明の第2の実施例を合わせたものである。ゲート電極8の側壁12を形成するまでは第2の発明の第2の実施例と同様に行う(図12(a)参照)。その後基板1の表面を例えば850℃のO<sub>2</sub>ガスで酸化することにより酸化膜14を形成し、続いてAsイオンをドーズ量50KeV、 $5.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、例えば1000℃の窒素雰囲気中で約20秒間の熱処理を施すことにより深いソース、ドレイン領域15を形成する(図12(b)参照)。なお、PチャネルMOSトランジスタを製造する場合はAsイオンの代わりに例えばBF<sub>2</sub>イオンをドーズ量35KeV、 $3.0 \times 10^{15} \text{ cm}^{-2}$ で注入し、同様の熱処理を施す。

【0036】次に例えばHF処理により酸化膜14を剥離し、基板1の表面に例えばNiからなる厚さ20nmの金属膜16を堆積させる(図12(c)参照)。これ以後は第1の発明の第2の実施例の図3(b)に示す以降の工程を行って半導体装置を形成する。この第2の発明の第7の実施例の製造方法は第1の発明の第2の実施例

と同様の効果を得ることができるとともに第2の発明の第2の実施例と同様の効果を得ることができる。なお、上記実施例においては金属膜16の形成にNiを用いたが、Niの代わりにTi、Co、W、Mo、V等の高融点金属を用いても良い。

# 【0037】

【発明の効果】第1の発明によれば、深くてかつ所定の濃度のソース、ドレイン拡散層を得ることが可能となるので、ソース、ドレイン領域の抵抗が増大するのを可及的に防止することができる。第2の発明によれば、ソース、ドレイン領域の表面が平滑化されたのでシリサイド化した後の接合リーク電流の抑制ができるとともに接合耐圧の低下を可及的に防止できる。

## 【図面の簡単な説明】

【図1】第1の発明の第1の実施例の製造工程断面図。

【図2】第1の発明の第1の実施例の製造工程断面図。

【図3】第1の発明の第1の実施例の製造工程断面図。

【図4】第1の発明の第2の実施例の製造工程断面図。

【図5】第2の発明の第1の実施例の製造工程断面図。

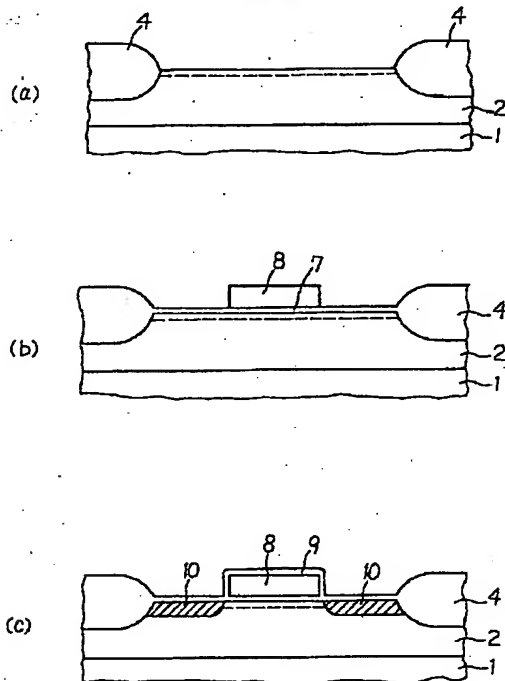
【図6】第2の発明の第1の実施例の製造工程断面図。

【図7】第2の発明の第2の実施例の製造工程断面図。

【図8】第2の発明の第3の実施例の製造工程断面図。

【図9】第2の発明の第4の実施例の製造工程断面図。

【図1】



【図10】第2の発明の第5の実施例の製造工程断面図。

【図11】第2の発明の第6の実施例の製造工程断面図。

【図12】第2の発明の第7の実施例の製造工程断面図。

【図13】従来の製造方法による工程断面図。

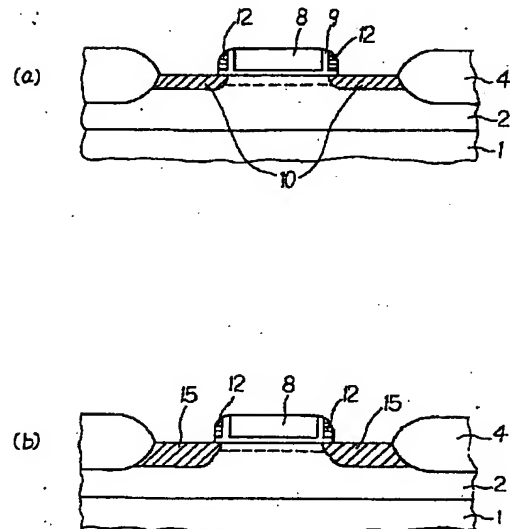
【図14】従来の製造方法による工程断面図。

【図15】従来の製造方法による工程断面図。

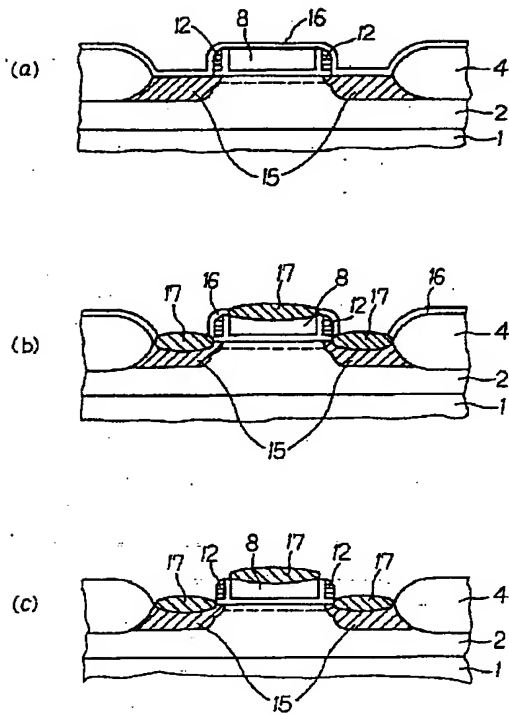
## 【符号の説明】

- 1 半導体基板
- 2 Pウェル
- 4 素子分離酸化膜
- 7 ゲート酸化膜
- 8 ゲート電極
- 9 SiO<sub>2</sub>膜
- 10 ソース、ドレイン形成用イオン注入領域
- 10' ソース、ドレイン領域
- 15 ソース、ドレイン領域
- 12 側壁(Si<sub>3</sub>N<sub>4</sub>)
- 16 Ni膜
- 17 シリサイド(NiSi)膜

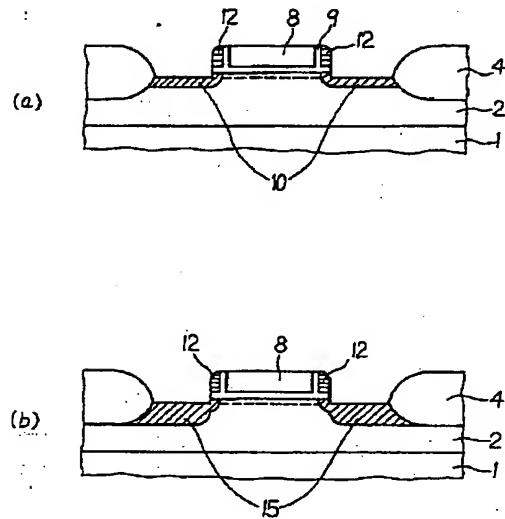
【図2】



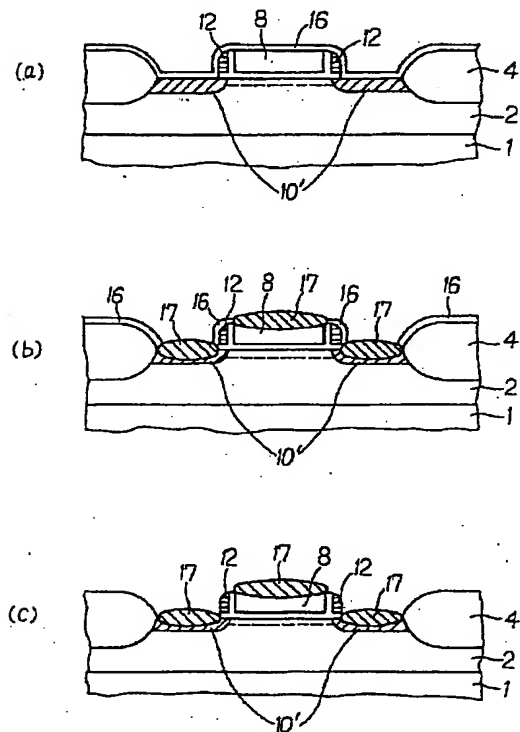
【図3】



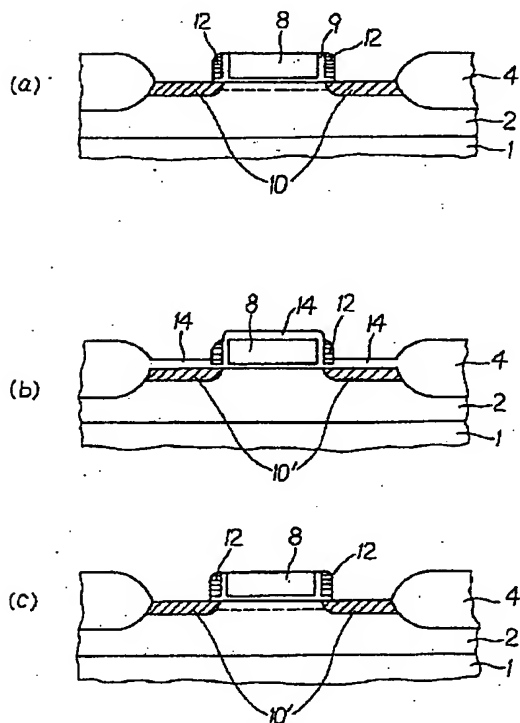
【図4】



【図6】

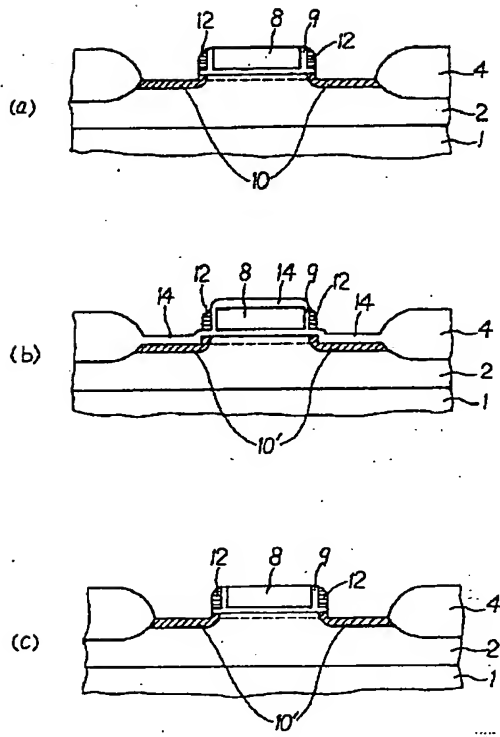


【図5】

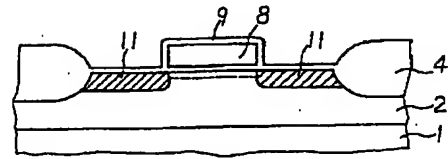




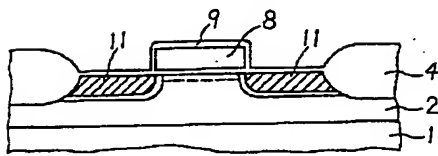
【図7】



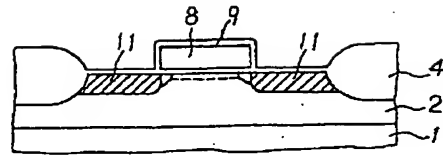
【図8】



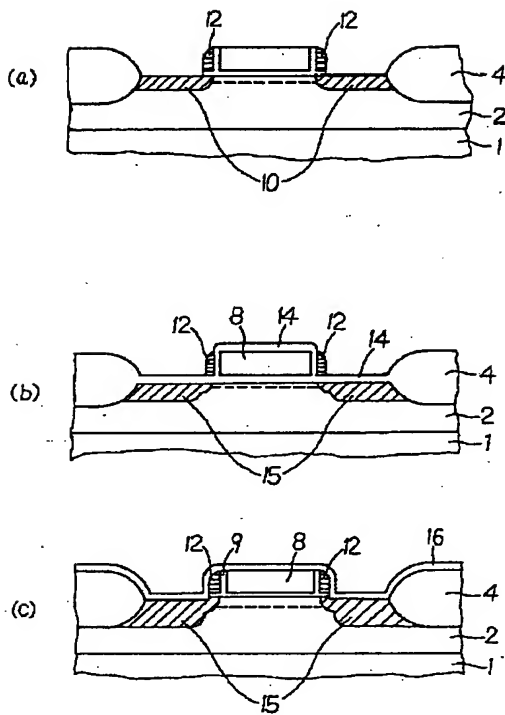
【図9】



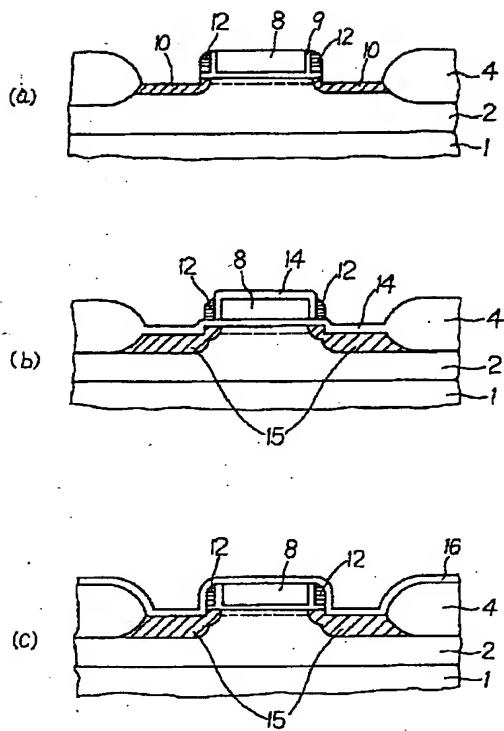
【図10】



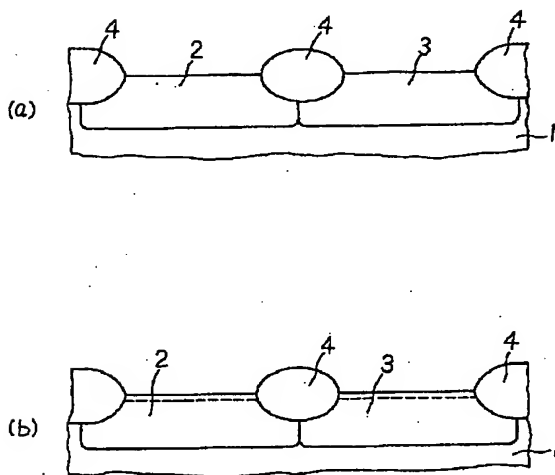
【図11】



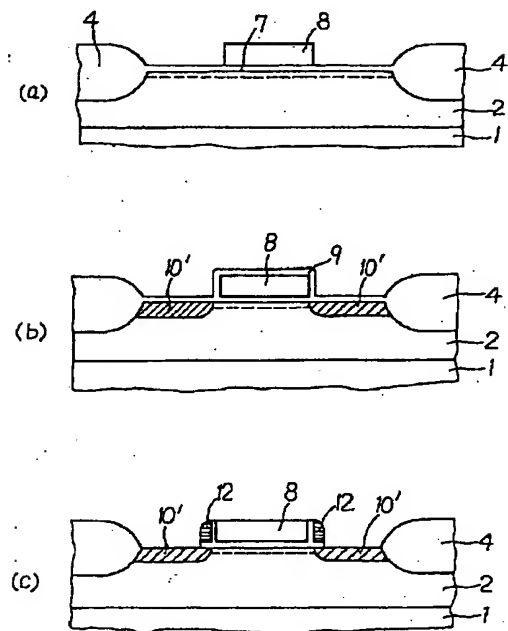
【図12】



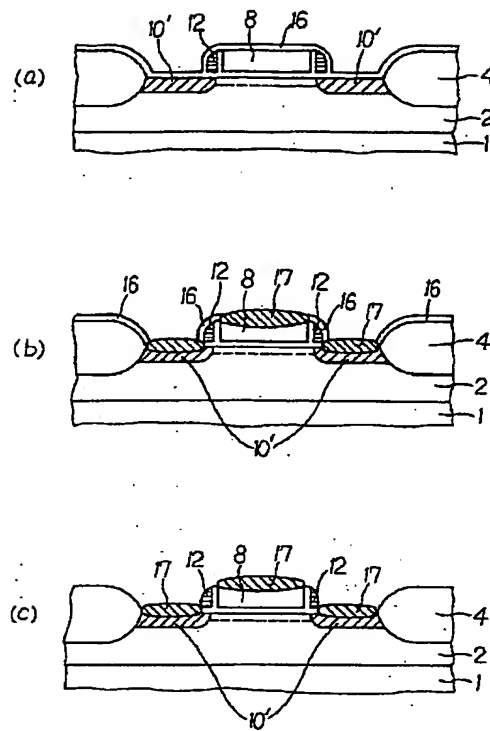
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 森 本 豊 太  
 神奈川県川崎市幸区小向東芝町1 株式会  
 社東芝総合研究所内

(72)発明者 土 明 正 勝  
 神奈川県川崎市幸区小向東芝町1 株式会  
 社東芝総合研究所内